



(19)

(11) Publication number: 05183154 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 04000324

(51) Intl. Cl.: H01L 29/784

(22) Application date: 06.01.92

(30) Priority:

(43) Date of application publication: 23.07.93

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: INABA SATOSHI  
TAKAGI SHINICHI

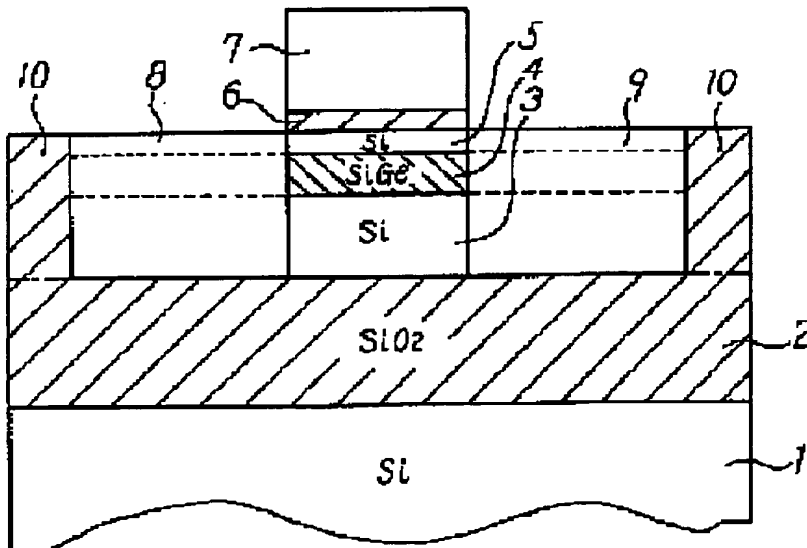
(74) Representative:

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

## (57) Abstract:

**PURPOSE:** To ensure greater current driving power where features of a buried channel is utilized to the utmost, by restricting the formation of an inverted layer at an interface between a gate insulated film and a semiconductor cap layer even with a semiconductor channel layer being inverted using an undoped semiconductor as a semiconductor base layer.

**CONSTITUTION:** An interlayer isolation oxide film 2 is formed on a silicon semiconductor substrate 1 over the entire surface of the same, and an interdevice isolation oxide film 10 is formed to surround a device formation region. A three-layered semiconductor region is formed at the center of the device formation region, where there are laminated a semiconductor base layer 3, a semiconductor channel layer 4, and a semiconductor cap layer 5 one after another from the side close to the semiconductor substrate 1. The sum of the thicknesses of those layers is made smaller than the maximum width of a depletion layer immediately under the semiconductor channel region 4 formed when voltage is impressed on a gate electrode 7, thereby realizing shallowing of a source region 8 and a drain region 9 to suppress a source-drain punchthrough.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-183154

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

8225-4M

8225-4M

FI

H01L 29/78

技術表示箇所

301 B

301 H

審査請求 未請求 請求項の数7(全8頁)

(21)出願番号

特願平4-324

(22)出願日

平成4年(1992)1月6日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 稲葉 聡

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 高木 信一

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

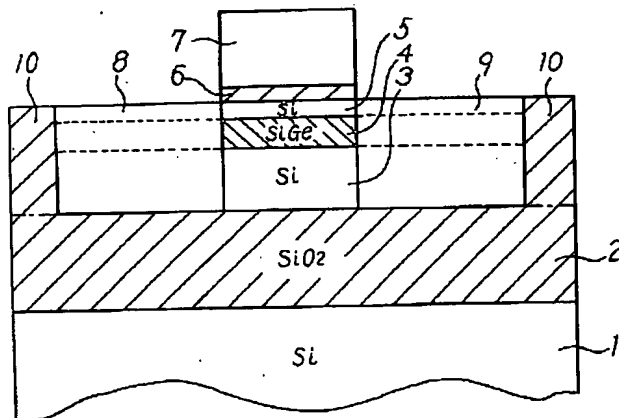
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【構成】 基板1上の層間分離酸化膜2上にMIS型FETが形成されたSOI構造とされる。このFETは基板1側から順に基底層3とチャネル層4とキャップ層5とが積層された領域を有し、基底・キャップ両層3, 5はSi製、チャネル層4はSiGe製である。SiGeはSiに比し小さい禁制帯幅を持つ。キャップ層5上にはゲート酸化膜6、この酸化膜6上にはゲート電極7が形成される。上記3層3~5の領域各側にソース・ドレイン各領域8, 9が形成される。

【効果】 基底層3にアンドープ半導体を用いることで、チャネル層4が反転しても酸化膜6とキャップ層5との界面での反転層形成を抑え、キャップ層5のキャリア移動度による見掛けの移動度劣化を減少させ、SiGe埋込みチャネルの特徴を最大限に生かした高電流駆動力を持つ高性能p型FETを形成できる。



## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

半導体基底層、該半導体基底層の材料よりも禁制帯幅が小さい材料により形成された半導体チャネル層、及び前記半導体基底層の材料に比してその禁制帯幅が少なくとも同等の材料により形成された半導体キャップ層が前記半導体基板に近い側から順に積層されてなる3層構造半導体領域をそのゲート電極下に有するとともに該3層構造半導体領域の各側にソース領域及びドレイン領域を有する絶縁ゲート型トランジスタと、

前記半導体基板と該絶縁ゲート型トランジスタとの間に介在され両者を電気的に絶縁分離する層間分離絶縁膜層とを備えていることを特徴とする半導体装置。

【請求項2】 3層構造半導体領域の厚さの和は、半導体基底層の不純物濃度を $N$ 、該半導体基底層の誘電率を $\epsilon$ 、ボルツマン定数を $KB$ 、イントリンシック半導体の不純物濃度を $n_i$ 、電子電荷を $q$ としたときのチャネル領域直下の最大空乏層幅 $W_m = (4\epsilon \cdot KB \cdot T \cdot \ln(N/n_i) / (q^2 \cdot N))^{1/2}$ よりも小さいことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基底層はアンドープ半導体から形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 半導体チャネル層の厚さは100オングストローム以下であることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体キャップ層の厚さは40オングストローム以下であることを特徴とする請求項4記載の半導体装置。

【請求項6】 請求項1～5のうちいずれか1項記載の半導体装置における層間分離絶縁膜層上に半導体基底層を形成するためのプロセスとして、半導体基板の深部に酸素原子をイオン注入する工程と、前記半導体基板を加熱処理することにより該半導体基板表面に前記半導体基底層の材料とするイントリンシック半導体膜を残してその酸素原子注入領域のみを前記層間分離絶縁膜層として形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1～5のうちいずれか1項記載の半導体装置における層間分離絶縁膜層上に半導体基底層を形成するためのプロセスとして、半導体基板表面に絶縁膜を形成する工程と、該絶縁膜上に前記半導体基底層の材料とする半導体膜を張付ける工程とを含んでいることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は超小型半導体装置に係り、特にMIS型電界効果トランジスタに関する。

## 【0002】

【従来の技術】 この種の半導体装置にはシリコンを用いたpチャネル型トランジスタがあるが、これはキャリアであるホールの移動度が電子の移動度よりも小さいことから、nチャネル型トランジスタに比べて電流駆動力が小さいことが知られている。

【0003】 そこで、近年では、pチャネル型トランジスタの電流駆動力を改善するために、チャネル層を埋込み型とし、更に、シリコンよりも禁制帯が小さく、その一方で電子親和力がほとんど変わらない半導体、例えばゲルマニウムとシリコンとの合金(SiGe)層をチャネル層に用いて移動度を高め、かつキャリア数を増やして電流駆動力を改善することが試みられている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、現在の試作品にあつては、ゲート電圧印加によりSiGe層だけに反転層が形成されるのではなく、ゲート酸化膜とSi層との界面にも反転層が形成されてキャリアであるホールが生じてしまうため、全体の移動度が、見かけ上、SiGe層の移動度よりも劣化してしまい、SiGeチャネルトランジスタの特徴を最大限に生かすことができないという欠点があつた。

【0005】 また、今までのSiGeチャネルトランジスタは、通常の埋込みチャネル型トランジスタに代表されるように微細化に適用できるような構造、すなわち短チャネル効果が抑制されるような構造があまりとられていなかった。半導体素子を微細化していくこと、特に電界効果トランジスタのチャネル長を短縮していくことは、素子全体の高密度化と高性能化とを達成する上で重要な技術である。しかしながら、チャネル長の短縮によるトランジスタ特性の劣化、いわゆる上記短チャネル効果を抑えるために、半導体基板の不純物濃度の増大や、ソース・ドレインの不純物拡散層のシャロー化が不可避免になっているにもかかわらず、SiGeチャネルトランジスタでは何ら対応策がとられてこなかった。

【0006】 本発明は、上記従来技術の有する問題点を鑑みてなされたもので、その目的とするところは、基板材料よりも禁制帯幅が小さい半導体により形成される埋込み型チャネル層の長所が極力損なわれることなくこれを活用可能とし且つソース・ドレインの不純物拡散層のシャロー化を達成することもでき、高性能・高密度集積に寄与するMIS型電界効果トランジスタとしての半導体装置及びその製造方法を提供することにある。

## 【0007】

【課題を解決するための手段】 上記目的達成のため、本発明の半導体装置は、半導体基板と、この半導体基板に近い側から順に、半導体基底層と、この半導体基底層の材料よりも禁制帯幅が小さい材料により形成された半導体チャネル層と、上記半導体基底層の材料に比してその禁制帯幅が少なくとも同等の材料により形成された半導体キャップ層とが積層されてなる3層構造半導体領域を

そのゲート電極下に有するとともに、この3層構造半導体領域の各側にソース領域及びドレイン領域を有する絶縁ゲート型トランジスタと、上記半導体基板と絶縁ゲート型トランジスタとの間に介在され両者を電氣的に絶縁分離する層間分離絶縁膜層とを備えていることを特徴とする。

【0008】また、特に、請求項2記載の本発明の半導体装置は、3層構造半導体領域の厚さの和が、半導体基底層の不純物濃度を $N$ 、この半導体基底層の誘電率を $\epsilon$ 、ボルツマン定数を $KB$ 、イントリンシック半導体の不純物濃度を $n_i$ 、電子電荷を $q$ としたときのチャンネル領域直下の最大空乏層幅 $W_m = (4\epsilon \cdot KB \cdot T \cdot \ln(N/n_i) / (q^2 \cdot N))^{1/2}$ よりも小さいことを特徴としている。

【0009】さらに、請求項3記載の本発明の半導体装置は、半導体基底層がアンドープ半導体から形成されていることを特徴とする。

【0010】請求項4記載の本発明の半導体装置は、半導体チャンネル層の厚さが100オングストローム以下であることを特徴とする。

【0011】請求項5記載の本発明の半導体装置は、半導体キャップ層の厚さが40オングストローム以下であることを特徴としている。

【0012】そして、請求項6記載の本発明の製造方法は、上記半導体装置における層間分離絶縁膜層上に半導体基底層を形成するためのプロセスとして、半導体基板の深部に酸素原子をイオン注入する工程と、上記半導体基板を加熱処理することによりその基板表面上に上記半導体基底層の材料とするイントリンシック半導体膜を残してその酸素原子注入領域のみを上記層間分離絶縁膜層として形成する工程とを含んでいることを特徴とする。

【0013】また、請求項7記載の本発明の製造方法は、上記半導体装置における層間分離絶縁膜層上に半導体基底層を形成するためのプロセスとして、半導体基板表面上に絶縁膜を形成する工程と、この絶縁膜上に上記半導体基底層の材料とする半導体膜を張付ける工程とを含んでいることを特徴とする。

【0014】なお、本発明において、半導体チャンネル層の製法は特に限定されないが、例えば、次の二通りが考えられる。まず、一つは半導体基底層の材料とする半導体膜を当該半導体基底層としての膜厚までエッチングし、その後、その半導体膜上に半導体チャンネル層の材料とする半導体膜をエピタキシャル成長させる、というものである。

【0015】また、半導体基底層の材料とする半導体膜におけるその半導体基底層分の厚さを深部側に残すようにして同表面側領域を半導体チャンネル層の材料として形成するための原子をイオン注入し、上記半導体膜の表面側領域における結晶欠陥を回復させる熱処理を行う、というものである。

# 【0016】

【作用】本発明によれば、半導体基底層にアンドープのイントリンシック半導体を用いることにより、半導体チャンネル層によるチャンネルが反転した状態でもゲート絶縁膜と半導体キャップ層との界面における反転層形成を抑えて、結果的に半導体チャンネル層よりも禁制帯幅が大きい半導体キャップ層のキャリア移動度による見掛けの移動度劣化を減少させることができ、当該埋込みチャンネルの特徴を最大限に生かした高い電流駆動力を持つ高性能なp型電界効果トランジスタを形成することができる。

【0017】以下に簡単に本発明の原理を説明する。図6は半導体チャンネル層の厚さ（以下ではTSiGeと表す。）を50オングストロームとし、半導体キャップ層の厚さ（以下ではTSiと表す。）を40オングストロームとしたとき、半導体基底層の不純物濃度 $N_{sub}$ を $1.45 \times 10^{10} \text{ cm}^{-3}$ （イントリンシックSiのキャリア濃度と同程度の不純物濃度）とした場合（同図（a））と、 $1 \times 10^{18} \text{ cm}^{-3}$ とした場合（同図（b））とにおいて、近似的に計算されたバンド構造を比較したもので、この図に示す状態は、ゲート電極への印加電圧によりバンドが曲り、半導体チャンネル層において反転層ができた状態である。ここでは、半導体チャンネル層中に生じたホールの増加分d pSiGeが、両者ともほぼ $1 \times 10^{12} \text{ cm}^{-2}$ となっている場合を考えている。

【0018】ここで、両者を比較すると半導体基底層の不純物濃度 $N_{sub}$ が相対的に低い方である $1.45 \times 10^{10} \text{ cm}^{-3}$ の場合には半導体キャップ層中に生じるホールの数が少なくなっていることがわかる。

【0019】したがって、アンドープ半導体層をこのような形で用いることによって素子を形成し、同時にいわゆるSOI構造の特徴も生かした構造を形成することによって、SiGeチャンネルを使った電界効果トランジスタに対しても高いキャリア移動度を実現し、かつ同時にソース領域及びドレイン領域のシャロー化が達成され、短チャンネル効果を抑制することが可能になり、微細半導体素子への応用を実現することができることとなる。

# 【0020】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。

【0021】図1は本発明の一実施例に係るMIS型電界効果トランジスタを構成する半導体装置の構造を示すものである。

【0022】この図において、1はシリコン(Si)からなる半導体基板であり、この半導体基板1上には、層間分離酸化膜(SiO<sub>2</sub>膜)2がその表面全域に形成されており、かつ素子形成領域を囲むように素子間分離酸化膜10が形成されている。

【0023】この素子形成領域にはMIS型電界効果トランジスタが形成されている。すなわち、その中心部に3層構造半導体領域が形成され、この領域は半導体基

## 5

板1に近い側から順に半導体基底層3と半導体チャネル層4と半導体キャップ層5とが積層されてなるものである。すなわち、半導体基底層3は層間分離酸化膜2上に、半導体チャネル層4はこの半導体基底層3上に、半導体キャップ層5はこの半導体チャネル層4上に、それぞれ密着形成された構造になっている。ここでは、Siが半導体基底層3と半導体キャップ層5とを構成する基本的な半導体材料とされ、SiとGeとの合金(SiGe)層が半導体チャネル層4の半導体材料とされている。そのSiGeはSiに比して禁制帯幅が狭く、しかもSiと同等の電子親和力を持つものである。Siキャップ層5上にはゲート酸化膜6が形成され、このゲート酸化膜6上にはゲート電極7が形成されている。上記3層3~5からの半導体領域の一方の側にはソース領域8が、他方の側にはドレイン領域9がそれぞれ形成されている。

【0024】このトランジスタは層間分離絶縁膜2を介して半導体基板1の上に形成され、SOI構造を有するものである。半導体基底層3から半導体キャップ層5までの厚さの和は、ゲート電極7に電圧を印加したときに形成される半導体チャネル領域4の直下の最大空乏層幅 $W_m$ よりも小さくすることで、ソース領域8及びドレイン領域9のシャロー化を実現することができ、ソース・ドレイン間のパンチスルーを抑制することができる構造となっている。

【0025】更に、図6を参照して既に述べたように、半導体基底層3の不純物濃度 $N_{sub}$ は低い方が好ましい。実用的には、図3に示すように、アンドープ半導体( $N_{sub} < 5 \times 10^{15} \text{ cm}^{-3}$ 程度まで)であれば、半導体キャップ層5中に反転層が形成されることを抑制できるものと考えられる。なお、横軸は半導体基底層3の不純物濃度 $N_{sub}$ 、縦軸は半導体チャネル層4中に生じたホールの数 $d_{pSi}$ と半導体キャップ層中に生じたホールの数 $d_{pSiGe}$ との比( $d_{pSi}/d_{pSiGe}$ )を示している。このアンドープ半導体を用いて素子を微細化したときに短チャネル効果が生じる問題に対しては、上記のいわゆるSOI構造をとることで解決できることは前述した通りである。

【0026】また、図4は半導体チャネル層4の厚さ $T_{SiGe}$ をパラメータとして、前と同様に、半導体キャップ層5の厚さ $T_{Si}$ と、半導体キャップ層5中と半導体チャネル層4中とに生じるホールの増加分の比( $d_{pSi}/d_{pSiGe}$ )の関係を示したものである。一般的に、半導体チャネル層4の厚さ $T_{SiGe}$ の下限は膜厚の制御の面からおおよそ100オングストローム程度であると考えられる。一方、半導体チャネル層4の厚さ $T_{SiGe}$ の上限は、エピタキシャル成長を用いて形成する場合、下地(半導体基底層3)のSiとの間に生じる歪の関係で、例えばSi0.5Ge0.5の場合にはおおよそ100オングストロームであることが実験的に知られている。Geの割合が大き

## 6

くなるほどこの上限は小さくなることが知られており、この場合は100オングストローム以下にするのが妥当である。一方で、半導体キャップ層5の厚さ $T_{Si}$ が大きくなってくると、徐々に半導体キャップ層5に生じるホールの割合が増えてくる。上記の $T_{SiGe}$ の範囲(100オングストローム $\leq T_{SiGe} \leq 1000$ オングストローム)で考えると、例えば半導体キャップ層5のホールの割合が半導体チャネル層3の約1%になるところで境界線を引くことにすれば、この条件下では半導体キャップ層5の厚さ $T_{Si}$ が40オングストローム程度ならばデバイスとして良好に動作することがわかる。更にゲート電圧が大きくなって反転層中のキャリア数が大きくなると、この見積りよりも半導体キャップ層5中に生じるキャリア数の割合が大きくなるため、半導体キャップ層5の厚さ $T_{Si}$ は最大でも40オングストローム程度以下にする必要がある。

【0027】更に、図5に示すように、半導体キャップ層5の厚さ $T_{Si}$ が大きくなると半導体キャップ層5に生じるホールの割合がこの $T_{Si}$ に非常に敏感になり、半導体キャップ層5の形成時において、ある一定の範囲内に半導体キャップ層5のキャリア数を収めようとする、つまりある偏差内でしかばらつかないようにしようとすると、 $T_{Si}$ 制御のマージンがとれなくなってくる。図5中の二つの長方形は一定のばらつき範囲に対する $T_{Si}$ 制御のマージンを表し、矢印が示すように、半導体キャップ層5の厚さは小さいほど良いことがわかる。このことから、この $T_{Si}$ は上記の範囲内に収める必要がある。

【0028】次に、図1に示す半導体装置の製造プロセスについて図2を参照しつつ具体的に説明する。

【0029】まず、半導体基板201上に層間分離酸化膜層202を介して半導体基底層の材料となる半導体膜203を形成する(図2(a))。このとき、 $SiO_2$ 上に半導体層をエピタキシャル成長させることができないため、例えば、次の2通りの手法を用いる。

【0030】一つの方法は、半導体基板201の深部に酸素原子をイオン注入し、その後、加熱して、表面にアンドープ半導体膜203を残して当該酸素原子注入領域のみを層間分離酸化膜層202として形成するSIMOX法によるものである。

【0031】他の一つの方法は、半導体基板201の熱酸化によって層間分離酸化膜層202を形成し、この層間分離酸化膜層202上にアンドープ半導体膜203を張付けるものである。

【0032】次に、半導体膜203を所望の厚さにエッチングした後で、SiGe製半導体膜204を形成する(図2(b))。ここで用いられる方法としては例えば次の2通りが考えられる。

【0033】その一つはMBE法などのエピタキシャル成長法を使用するもので、まず、半導体膜203のエッチングの際に、その厚さを当該半導体基底層としての厚

さまで減らし、その後、SiGeをエピタキシャル成長させる、というものである。

【0034】また、一つの方法は、まず、半導体基底層と半導体チャネル層との両者を合わせた厚さ分だけは少なくとも確保するように半導体膜203のエッチングを少なめに行い、その後、半導体基底層の厚さ分だけアンダーゾンプ半導体を残すように半導体膜203の表面領域へGeイオンを注入し、その後、その注入領域における結晶欠陥回復のためのアニール工程を行い、その後、必要に応じて、半導体膜204の厚さを半導体基底層分の厚さとなるまでエッチングで小さくする、というものである。

【0035】その後、半導体キャップ層の材料となるSi半導体膜205をMBE法等を用いて形成する。これも厚さに関してはエッチング等で調整することが場合によっては必要になる。また、この段階でトレンチをRIE等で形成し、その中をSiO<sub>2</sub>等の絶縁物を充填することによって素子間分離酸化膜206を形成する。そして、表面全域に酸化膜を形成し、続いてポリシリコンを堆積させ、このポリシリコンに対して不純物、例えばP(リン)を拡散した後に、ゲート電極用のパターンニングを行い、RIE等によってゲート酸化膜207及びゲート電極208を形成する(図2(c))。しきい値制御のためには、他の不純物をゲート電極に導入してもよい。

【0036】次に、B(ホウ素)やBF<sub>2</sub>(フッ化ホウ素)をイオン注入し、活性化アニールを行うことにより、半導体基底層209、半導体チャネル層210、及び半導体キャップ層211からなる3層構造半導体領域の一部をゲート電極に対して自己整合的にソース領域212とドレイン領域213とを形成する(図2(d))。

【0037】最後に素子層と配線層との電気的絶縁のための層間分離酸化膜214をCVD等でデポし、これにコンタクト孔のパターンニングとRIE等による開口を行い、W(タングステン)などをコンタクト孔へ充填し、その後Al(アルミニウム)をその充填材に接着することによって、ゲート、ソース、ドレインの各引出し用2層電極215~217を作ることにより素子が完成する(図2(e))。

【0038】以上述べてきた実施例では素子分離領域にトレンチ素子分離を用いているが、これに限らず、通常のLOCOS工程を用いることは一向に差支えない。また、各種箇所の絶縁膜としてはSi酸化膜を用いたが、Si窒化膜やその他の絶縁膜でも良いことは明らかである。

【0039】ゲートの絶縁膜に関しては通常用いられるシリコンを酸化する方法以外にもCVD等によりデポされた酸化膜でも良い。なぜならば、この構造においては、ゲート近傍の酸化膜界面の質の悪さは、キャリアの

振舞いに本質的には関係しないからである。もちろん、他の方法で形成された酸化膜や窒化膜でも構わない。そのときには最も禁制帯幅の大きな半導体材料を半導体キャップ層に用いれば良い。

【0040】更に同様な組合わせでnチャネル型電界効果トランジスタに対しても本発明の適用は可能である。

#### 【0041】

【発明の効果】以上述べてきたように本発明によれば、半導体基底層にアンダーゾンプ半導体を用いることにより、半導体チャネル層が反転した状態でもゲート絶縁膜と半導体キャップ層との界面における反転層形成を抑えて、結果的に半導体チャネル層よりも禁制帯幅が大きい半導体キャップ層のキャリア移動度による見掛けの移動度劣化を減少させることができ、当該埋込みチャネルの特徴を最大限に生かした高い電流駆動力を持つ高性能かつ微細化に適したp型電界効果トランジスタを形成することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の構造を示す断面図。

【図2】図1に示す構造を有する半導体装置の製造プロセスを解説する工程別素子断面図。

【図3】横軸に半導体基底層の不純物濃度N<sub>sub</sub>、縦軸に半導体チャネル層中に生じたホールの数d<sub>pSi</sub>と半導体キャップ層中に生じたホールの数d<sub>pSiGe</sub>との比(d<sub>pSi</sub>/d<sub>pSiGe</sub>)を取って、半導体基底層の不純物濃度による半導体キャップ層での反転層形成に対する影響を説明するグラフ。

【図4】半導体チャネル層の厚さTSiGeをパラメータとし、横軸に半導体キャップ層の厚さTSi、縦軸に半導体キャップ層中と半導体チャネル層中とに生じるホールの増加分の比(d<sub>pSi</sub>/d<sub>pSiGe</sub>)を取り、半導体チャネル層及びキャップ層の厚さによる半導体キャップ層での反転層形成に対する影響を説明するグラフ。

【図5】横軸に半導体キャップ層の厚さTSi、縦軸に半導体キャップ層中と半導体チャネル層中とに生じるホールの増加分の比(d<sub>pSi</sub>/d<sub>pSiGe</sub>)を取り、縦軸を図4よりも拡大して半導体キャップ層の厚さによる半導体キャップ層での反転層形成に対する影響を説明するグラフ。

【図6】ゲート電圧印加時における半導体基底層の不純物濃度の違いによるバンド構造の相違を示すエネルギーバンド説明図。

#### 【符号の説明】

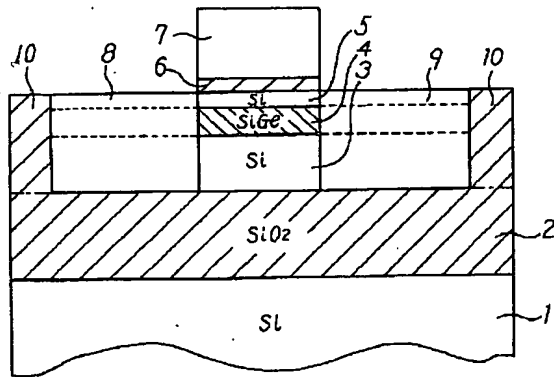
- 1, 201 半導体基板
- 2, 202 層間分離酸化膜
- 3, 209 半導体基底層
- 4, 210 半導体チャネル層
- 5, 211 半導体キャップ層
- 6, 207 ゲート絶縁膜

7, 208 ゲート電極

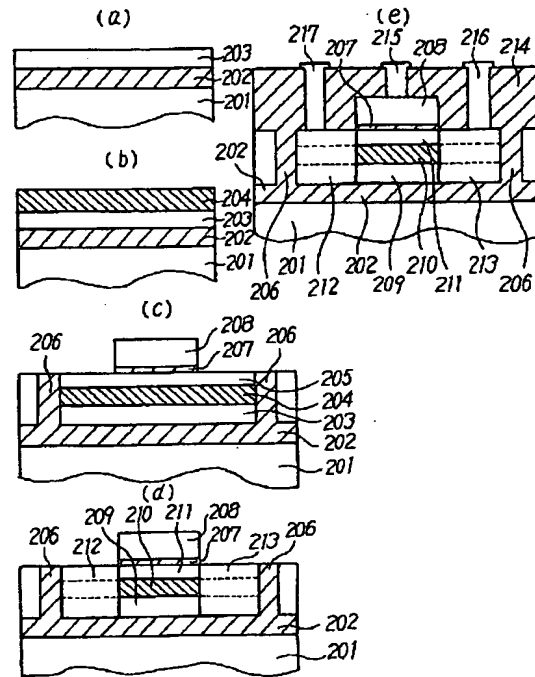
8, 212 ソース領域

9, 213 ドレイン領域

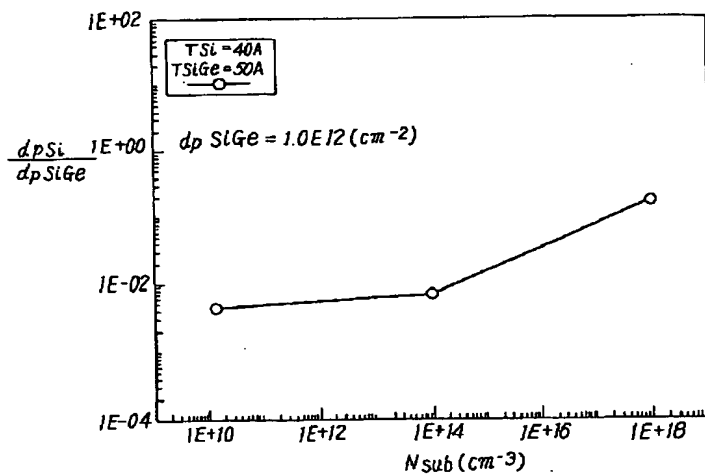
【図1】



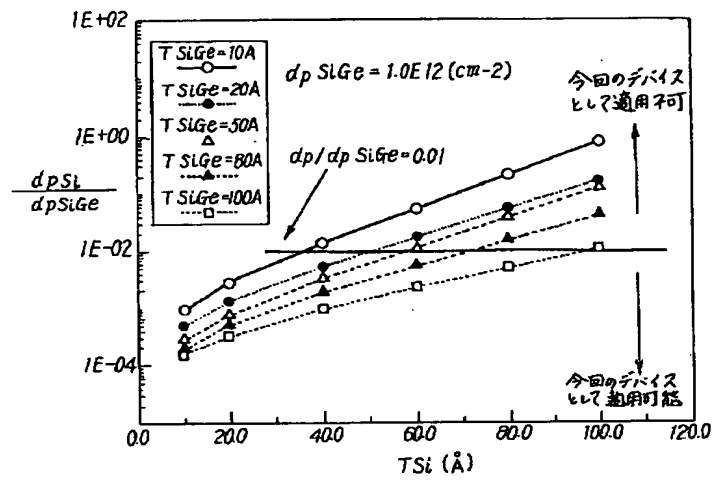
【図2】



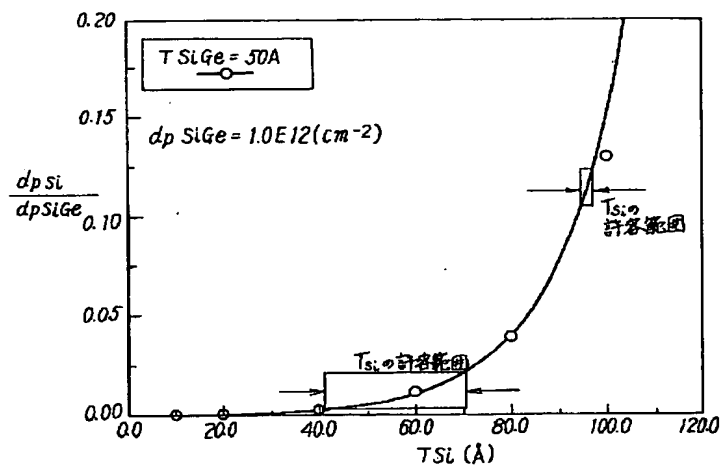
【図3】



【図4】



【図5】





【図6】

